

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特許公報(B2)

平3-71781

⑬ Int. Cl.⁴

H 01 L 21/76
21/302
21/31
21/76

識別記号

L
L
S

庁内整理番号

7638-5F
8122-4M
7638-5F
6940-5F

⑭ 公告 平成3年(1991)11月14日

H 01 L 21/94

Z

発明の数 1 (全10頁)

⑮ 発明の名称 素子分離領域を有する半導体装置の製造方法

審判 平2-10499

⑯ 特願 昭57-108589

⑰ 公開 昭58-9338

⑱ 出願 昭57(1982)6月25日

⑲ 昭58(1983)1月19日

優先権主張 ⑳ 1981年6月30日㉑ 米国(US)㉒ 279129

⑳ 発明者 ナラシパー・ガンダツ アメリカ合衆国ニューヨーク州ホープウエル・ジャンクシ
バ・アナンサ ヨン・ヴルデマー・ロード1番地
㉑ 発明者 ハーサラン・ジン・バ アメリカ合衆国ニューヨーク州ワフビンジャーズ・ホール
ーティア ズ・トウ・ロード41番地
㉒ 発明者 ジョン・レスター・マ アメリカ合衆国コネチカット州サウス・ケント・ギア・マ
ウア・フォース ウンテン・ロード(番地なし)
㉓ 発明者 ホミ・ガスタジ・サー アメリカ合衆国ニューヨーク州ホープウエル・ジャンクシ
カリ ヨン・パーブランク・アベニュー29番地
㉔ 出願人 インターナショナル・ アメリカ合衆国 10504、ニューヨーク州 アーモンク
ビジネス・マシーン (番地なし)
ズ・コーポレーション
㉕ 代理人 弁理士 岡田 次生
審判の合議体 審判長 平沢 伸幸 審判官 小林 秀美 審判官 真鍋 源
㉖ 参考文献 特開 昭53-28530(JP, A) 特開 昭54-44474(JP, A)
特開 昭52-49772(JP, A) 特開 昭50-107877(JP, A)
特開 昭52-26182(JP, A)

1

2

⑳ 特許請求の範囲

1 側壁部を有する誘電体メサ形領域上に付着され、反応性イオン食刻により除去される層の残留物を、該側壁部上に残さないようにするための方法であつて、

- (a) 表面に上記側壁部を有する誘電体メサ形領域をもつシリコン基板を与える段階と、
- (b) 上記基板の表面に対して垂直な線に対して30°以上の角度で傾斜するように上記誘電体メサ形領域の側壁を再成形する段階と、
- (c) 上記再成形された上記誘電体メサ形領域上に上記層を付着する段階と、
- (d) 上記層を反応性イオン食刻によつて選択的に除去する段階を有する、

素子分離領域を有する半導体装置の製造方法。

発明の詳細な説明

本発明の分野

- 本発明は、半導体装置の個々の素子を分離するための誘電体材料の埋設領域を設けられた半導体装置の製造方法に係り、更に具体的に言えば、エミッタが分離領域に端部を接している大きな漏洩を生じないトランジスタの形成及び短路を生じない低抵抗回路の形成を可能にする、深い誘電体分離領域の形成方法に係る。

先行技術

モノリシック集積回路技術に於ては、集積回路構造体に於ける種々の能動及び受動素子を相互に分離させることが通常必要とされる。それらの装

既、従来に於ては、逆バイアス、PN接合、部分的誘電体分離、及び完全な誘電体分離によつて分離されている。従来の誘電体分離技術に於て用いられている誘電体材料は、二酸化シリコン、ガラス等である。これらの能動素子及び回路のための好ましい分離は或る形の誘電体分離である。集積回路装置に於ける誘電体分離は、回路素子が分離領域に端部を接することを可能にし、従つて集積回路装置上に能動及び受動素子をより高い密度で実装させ得るので、PN接合分離に優る大きな利点を有している。

或る形の誘電体分離は、分離領域の形成されるべき領域のシリコン中に溝又は凹所を形成することを含む。その溝が形成される間、他のシリコン表面は、溝を形成するために用いられるシリコン食刻液及び酸化雰囲気により実質的に影響されない保護膜によつて保護されている。通常用いられる保護膜は、窒化シリコン及び二酸化シリコンのサンドイッチ層である。通常の化学的食刻により溝が形成された後、シリコン基体に通常の酸化工程が施され、その結果溝の領域に於けるシリコンが酸化されて、溝が二酸化シリコンにより充填され且つシリコンが更に深く酸化されて分離領域が形成される。この方法に関連する主要な問題の1つは、“鳥のくちばし”として知られている現象である。

“鳥のくちばし”は、溝の上部周返に平坦でない二酸化シリコンが形成される現象であり、その現象は窒化シリコン層の下側に於ける横方向の酸化によつて生じる。或る特定の厚さのシリコンの酸化は膨脹するために略同等量の自由空間を要し、そして Si_3N_4 は抑制されない膨脹を制限するので、窒化シリコンが溝の端部に押し上げられる結果となる。最終的には、溝の周返領域に一般的応力が生じるとともに、後に二酸化シリコンの垂直部分に端部を接する良好な拡散領域を達成することが困難になる。その様に端部を接し得ない場合には、その二酸化シリコン領域の始めの目的の主要な利点は無効となる。エミッタが分離領域に端部を接している漏洩を生じないトランジスタ及び短絡を生じない抵抗を得ることが主要な問題である。この方法については、米国特許第3970486号、第3534234号、第3648125号、及び日本国特許842031号の明細により詳細に記載されている。

誘電体分離を形成するための他の実施例が、米国特許第3386865号の明細書及びElectrochemical Technology、第5巻、第5-6号、1967年5月-6月、第308頁乃至310頁に於けるR. E. Jones及びV. Y. Doo等による“A Composite Insulator-Junction Isolation”と題する論文に記載されている。この技術は、誘電体分離が必要とされる領域に於て基板上に二酸化シリコン層又は同種の層を形成することを含む。上記二酸化シリコンが配置された領域を除くすべての領域に於て基板上にエピタキシャル層が形成されて、上記二酸化シリコン層上に開孔が残される。上記エピタキシャル層の表面及び上記開孔の側面が部分的に熱酸化される。上記開孔が部分的に熱酸化される。それから、上記開孔が多結晶シリコン、二酸化シリコン又は同様な材料の気相付着によつて充填される。この技術は幾つかの欠点を有している。この技術により必要とされる選択的エピタキシャル技術は、二酸化シリコン領域とシリコン領域との間の領域関係によつて極めて影響を受け易い。例えば、2つの異なる寸法のシリコン領域は異なる速度で充填されがちであり、従つて処理の終りに於てそれらの領域は異なる程度に充填されている。又、メサ形の付着に於ては、結晶面 (crystallographic faceting) が生じがちである。これはピラミッド状の成長を生じて、始めのリソグラフィ能力以上に分離領域を拡大させがちである。傾斜したシリコンと二酸化シリコンの界面は、又、二酸化シリコン領域に端部を接している信頼性を有する拡散領域の達成に困難を生じる。エミッタが分離領域に端部を接している漏洩を生じないトランジスタ及び短絡を生じない抵抗を得ることが主要な問題である。

溝の形成及び充填については、米国特許第3892608号及び第3969168号の明細書の如き他の文献に記載されている。それらの文献に於ては、V型の溝、円形の底部を有する溝、又は矩形の排気された空間を形成するために化学的食刻が用いられている。それらの溝がどの様にして形成されるかについては詳細に述べられていないが、それらの溝が化学的食刻工程の性質により制限されることは明らかである。その方法は必ずしも平坦な表面を生じず、溝が形成された後にフォトリソグラフィを必要とする。米国特許第3956033号の明細

書は、多結晶シリコンによる充填を伴う同様な化学的食刻について記載している。この場合にも、溝は化学的食刻技術によつて制限され、多結晶シリコンの過度の成長がどの様にして除かれるかについても明らかでない。米国特許第3725160号及び第3979237号の明細書も溝の充填を示している。これらの特許明細書に於ては、化学的食刻の効果がより明確に示されており、シリコン表面が整合される特定の面の結晶に応じて正確な角度で傾斜する左右対称の側壁を有している溝を設けるために単結晶シリコンが選択的に化学的に食刻されることが示されている。

米国特許第4104086号及び第4016077号の両明細書は、シリコン基板中に深い埋設酸化物分離領域を形成するための方法について開示しており、これらの場合には、溝がシリコン基板中に反応性イオン食刻を用いて形成され、それらの溝を充填するために表面上に SiO_2 膜が形成され、それから溝の中に配置された SiO_2 材料を除いて SiO_2 層が表面上からすべて除去される。

極めて高密度の極めて小さい集積回路装置を形成するための他の方法が、米国特許第4256514号、第4209350号、及び第4234362号の明細書に記載されている。それらの特許明細書に記載されている、 $1\mu\text{m}$ 技術、深い溝及び浅い溝を用いた技術、及びポリベース技術は、より低いコレクター分線領域間のキャパシタンス、より低いコレクターベース間のキャパシタンス、より低いベース抵抗、及び低い拡散領域のキャパシタンスを与える。しかしながら、この技術により形成されたエミッタが溝又はメサ形領域と端部を接している装置、及び溝又はメサ形領域と端部を接している抵抗は、“側壁レール (side rail)” 効果として知られている現象の故に、更にマスクを用いずには形成され得ない。側壁レールとは、多結晶シリコンを除去するために用いられた反応性イオン食刻工程に於て除去されなかつた、メサ形領域の垂直な側壁上のドーブされた多結晶シリコンの薄い領域を言う。これらの一部の特許明細書は、実質的に垂直でありそして垂直線から 5° よりも大きくない角度を有する、メサ形領域の側壁について記載している。

本発明の要旨

本発明の目的は、反応性イオン食刻後に半導体

装置中の二酸化シリコンの垂直な側壁上に残留物を残さないようにするための方法を提供することである。

本発明の他の目的は、深い誘電体分離領域の側壁レール効果を生じさせないようにする方法を提供することである。

本発明の他の目的は、エミッタが分離領域に端部を接している漏洩が減少されたトランジスタの形成方法を提供することである。

本発明の他の目的は、短絡を生じない抵抗を設けるための方法を提供することである。

本発明の更に他の目的は、反応性イオン食刻後に二酸化シリコン層の開孔の側壁上に残留物が残らないようにする方法を提供することである。

本発明の上記及び他の目的は、側壁の垂直方向に関して少くとも $+30^\circ$ の傾斜を有する様に、側壁を再形成することを含む方法によつて達成される。その傾斜した側壁は、二酸化シリコンの垂直な側壁上に付着された多結晶シリコンが、反応性イオン食刻によつて完全に除去され、以て側壁上に、多結晶シリコンが残らないようにする効果ももたらす。この方法の1実施例に於ては、深い誘電体分離を用いた装置に於ける二酸化シリコンのメサ形領域の側壁の上部がその側壁の露出部分が垂直方向から例えば 30° 乃至 45° の角度になる様に、イオン・ミリングされる。

本発明の好実施例

第1A図乃至第1E図は、本発明の方法に従つて半導体装置中に埋設酸化物領域を形成するための製造工程を示している。第1A図に示されている構造体は、説明のためにP導電型として示されている単結晶シリコン基板10、基板10上の N^+ 層12、及び層12上の N^+ 型導電型の層14を有している。本発明の目的のためには、基板10並びに層12及び14のすべて又は幾くかが、示されている導電型と反対の導電型を有し得る。しかしながら、層12は、最終的にバイポーラ・トランジスタのコレクタになる、高導電率の領域であることが好ましい。この構造体は種々の技術によつて形成され得る。しかしながら、その好ましい技術に於ては、P導電型の単結晶シリコン基板が設けられ、そして 1×10^{19} 乃至 1×10^{21} 原子/ cm^2 の表面濃度を有する N^+ 領域を形成するために挿入、アンチモン又は燐の如き N^+ 不純物の

従来の拡散又はイオン注入を用いることにより基板中に全体的にN⁺型拡散が施される。次に、層14が基板10上の層12上にエピタキシャル成長される。これは、SiCl₄/H₂又はSiH₄/H₂の混合物を用いる如き従来技術により、約1000乃至1200℃の成長温度に於て行われ得る。N⁺層12は1乃至3μmの典型的な厚さを有し、シリコン層14は0.5乃至10μmの厚さを有し得るが、その緻密な厚さは形成されるべき装置に依存する。

又は、上記構造体、後にパイボラ装置の形成が望まれる場合には埋込サブコレクタ領域の形成を含む、熱拡散、イオン注入及び/若しくはエピタキシャル成長の種々の組合せによつても形成され得る。

次に、二酸化シリコン (SiO₂) 層16が、湿った又は乾燥した酸素の雰囲気中での熱成長又は化学的気相付着の従来技術によつて形成される。層16の厚さは、典型的には250乃至10000Å、より好ましくは1000乃至3000Å、の任意適当な厚さであり得る。次に、多結晶シリコン層18が従来技術を用いてSiO₂層16上に付着される。多結晶シリコン層18は、先に述べたエピタキシャル層14の形成に用いられた同一の装置を用いて又は任意の従来の付着技術によつて付着され得る。一般的に、層18の厚さは、典型的な装置の場合には、0.2乃至1.5μmの範囲である。

装置中に埋設酸化物領域を形成するためには、溝20がN⁺層12を経て基板10に達する様に充分な深さに形成されねばならない。それらの溝20は任意の適当な技術によつて形成され得るが、好ましくは反応性イオン食刻によつて形成される。溝を半導体中に反応性イオン食刻技術により形成するための技術は、米国特許第3966577号、第3997378号、及びIBM TDB、第20巻、第1号、第144頁、1977年6月に於けるS.A.Abbasによる“Recessed Oxide Isolation Process”と題する論文に記載されている。シリコンを食刻するために特に有利な方法は、特願昭51-79995号の明細書に記載されている。溝20を形成するためには、多結晶シリコン層18の上面に適当なマスクが形成され、基板が反応性イオン食刻される。マスクを形成するための典型的な技術は、多結晶シリコン層18の表面を酸化して溝の形成されるべき領域上の部分を従来のフォトリソグラフィ技術

により除去する方法である。マスク層は当技術分野に於て周知であるので、特に示されていない。それから、第1A図に示される如く、溝20が形成される。それらの溝の深さは、第1A図に於ける拡散されたN⁺層12の下方迄延びる様に充分深くなければならない。

第1B図に示されている如く、次の工程は、溝20を適当な誘電体材料で充填することである。溝20を完全に充填するためには、全体的な誘電体材料の層22が少くとも溝20の幅の半分又は溝20の深さと同一である厚さのいずれかの適当な厚さを有していなければならない。溝20を充填するための好ましい誘電体材料は、CO₂/SiH₄/N₂又はN₂O/SiH₄/N₂の気体混合物を用いて800乃至1000℃で化学的に気相付着する技術によつて付着されたSiO₂である。その典型的な付着速度は毎分50乃至200Åのオーダーであり、付着された全体の厚さは少くとも溝20の幅の半分である。溝20の幅は典型的には0.1乃至50μmの範囲内で異なり、その深さは典型的には0.2乃至10μmの範囲内で異なる。

溝20の深さ及び幅に応じて、充填された溝20の上方に於て表面上に凹所24が形成される。層22の表面から均一な厚さが除去された場合には凹所24は下方に伝えられて、装置の表面中に現われる。その様な凹所は、最終的装置上に必要な導体を形成する際に問題を生じる。凹所24を除くためには、第1C図に示されている如く、凹所24を充填して比較的平坦な表面28を得るために層26材料が表面上に流される。層26は、ポリイミド樹脂の如き有機材料又は適当なレジスト材料の層であることが好ましい。その厚さは任意の適当な厚さでよいが、好ましくは1乃至3.0μmである。

第1D図に示されている如く、層26、層22、及び層18の一部が除去されて、誘電体材料で充填された溝20が残され、その誘電体材料で充填された溝は同一基板上の関連する素子間に電気的分離を設けるための単結晶シリコン装置を包囲する分離領域として働く。この除去の工程は、層26、層22、及び層18の一部を反応性イオン食刻することによつて達成される。この方法のために用いられる装置は、基板がシリコン陰極のカバー・プレート上に配置される、低圧スパッタ

食刻装置であることが好ましい。有機材料/ SiO_2/Si の食刻速度比が略1:1:1になる様に、 CF_4 の如き弗素化された炭化水素が食刻剤として用いられる。気体の圧力は、毎分2乃至50ccの気体流量で、10乃至70 μm を生じ得る。高周波電力レベルは、0.2乃至0.5ワット/cm²であることが好ましい。この様にして、反応性イオン食刻処理は、Si、 SiO_2 及びポリイミドの食刻速度が略同一であるので、それらの層が漸次食刻される間、始めの比較的平坦な表面28を維持する。反応性イオン食刻後の新しい表面32が第1D図に示されている。

第1E図に示されている如く、埋設領域の形成に於ける次の工程は、残されている多結晶シリコン層18の除去である。その多結晶シリコン層18を除去するためには、多結晶シリコンだけを選択的に食刻して SiO_2 材料を食刻しない食刻剤に基板がさらされる。その様な食刻剤はピロカテコールである。ピロカテコール食刻剤は第1E図に示されている SiO_2 層16上の多結晶シリコンをすべて除去する。又は、上記に残されている多結晶シリコン層18は、シリコンを選択的に除去する雰囲気中で反応性イオン食刻することによっても除去され得る。例えば、多結晶シリコン及び酸化物の食刻比が5:1である SF_6 、又は上記食刻比が45:1である SF_6/Cl_2 、又は上記食刻比が6:1である I_2 /アルゴン等が用いられる。第1E図に示されている如く、層18の表面上に僅かに突出する埋設酸化物領域即ちメサ形領域34A及び34Bが形成される。しかしながら、メサ形領域34A及び34Bの上面は、付着された層22の存在していた凹所24を有せず、平坦である。

第1E図に於て、2つの酸化物領域即ちメサ形領域34A及び34Bは、メサ形領域の側壁38に端部を接する領域36に於ける抵抗がメサ形領域の側壁部分40上の残留物(図示せず)によつてしばしば短絡を生じることを指摘するために示されている。その残留物は、典型的には、付着されそして装置の他の部分から反応性イオン食刻により除去されるドーブされた多結晶シリコンが残されたものである。同様に、側壁38に端部を接するエミッタを有しているトランジスタは上述の側壁部分40上の残留物によりしばしば漏洩を生

じる。第1E図に示されている装置の領域42が第1F図に於て拡大して示されている。

第1F図に示されている如く、メサ形領域の側壁部分40は、垂直線との間に角度 θ_1 を成し、角度 θ_1 は5°以下である。この場合、それを-5℃以下の値と定める。

本発明の方法に従つて、メサ形領域の側壁部分が新しい側壁部分40Aを形成する様に再形成される。メサ形領域の新しい側壁部分40Aは、 θ_2 が+30°以上である様に、上面44から外方へ傾斜している。角度 θ_2 は、側壁部分40A上のすべての残留物が後の反応性イオン食刻工程に於て完全に除去され得る様に、30°以上でなければならない。側壁部分40Aから残留物をすべて除去することにより、エミッタが分離領域に端部を接しているトランジスタは漏洩を生じず、又領域36に於ける抵抗は短絡を生じない。角度 θ_2 は30°以上且つ90°以下の任意の角度であり得るが、上限の値は装置の形状によつて制限される。実際的な制限として、通常は、約70°のオーダーの角度が上限である。

第1G図に於て、側壁部分40Aはイオン・ミリングにより形成された。イオン・ミリングは角度 θ_2 の上限を約45°に制限し、従つて+30乃至45°の範囲の θ_2 を生じる。一般的には、傾斜が緩くなる様に、角度 θ_2 を出来る限り大きくすることが好ましい。典型的には、角度 θ_2 は出来る限り大きくされ、その上限は装置の形状により又は傾斜した側壁の形成方法により決定される。

メサ形領域の傾斜した側壁部分40Aを形成する他の方法が第2A図及び第2B図に示されている。第2A図に示されている如く、化学的に気相付着された二酸化シリコン(CVD- SiO_2 層)46がメサ形領域34A及び SiO_2 層16上に形成される。次に、層46が、傾斜した側壁部分40Aを有する領域48を除くすべての領域に於て反応性イオン食刻される。この方法を用いた場合には、角度 θ_2 の上限は50°のオーダーである。

更にもう1つの方法が第3A図乃至第3C図に示されており、この場合には、DVD- SiO_2 層46が第2A図に示されている如く付着されてから、層46上に平坦化のための層50が付着される。この層50は、前述の層26と同様に、ポリイミド樹脂の如き有機材料又は適当なレジスト材

12

く、層88の側壁91が新しい傾斜した側壁92に再成形された構造体が形成される様に、層80が反応性イオン食刻される。再成形された側壁92は30°以上の角度 θ を形成する。

第1 A図乃至第1 G図は本発明の方法の第1実施例に従つて形成されている装置を示す縦断面図、第2 A図及び第2 B図は本発明による方法の第2実施例を示す縦断面図、第3 A図乃至第3 C図は本発明による方法の第3実施例を示す縦断面図、第4 A図乃至第4 D図は貫通孔を設けるために用いられている本発明の方法を示す縦断面図、第5 A図乃至第5 D図は接点開孔を設けるために用いられている本発明の方法を示す縦断面図である。

10……単結晶シリコン基板（P導電型）、1
2……N⁺層、14……N導電型のエピタキシャル層、16, 60, 86, 88……SiO₂層、1
8……多結晶シリコン層、20……溝、22……
20 誘電体材料の層、24……凹所、26, 50, 5
0A……平坦化のための層、28, 52……平坦
な表面、32……RIE後の新しい表面、34A,
34B……メサ形領域（埋設酸化物領域）、38
……メサ形領域の側壁、40……側壁部分、40
25 A, 40B……再成形された傾斜した側壁部分、
44……上面、46, 46A, 90, 99……
CVD・SiO₂層、62……貫通孔、64……半導
体装置、86……金属接点、70……傾斜した端
部、80, 82, 84……層、87……接点開
30 孔、91……側壁、92……再成形された傾斜
した側壁。

30 孔、91……側壁、92……再成形された傾斜した側壁。

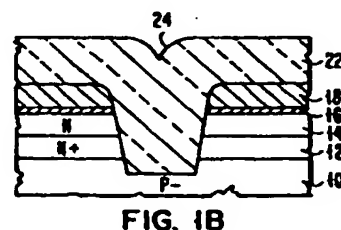


FIG. 1B

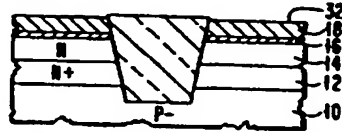


FIG. 1D

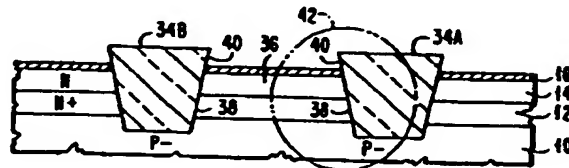


FIG. 1E

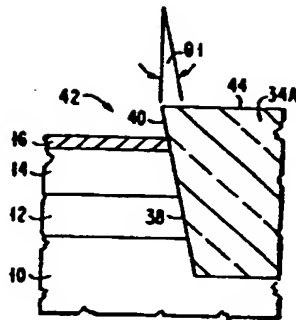


FIG. 1F

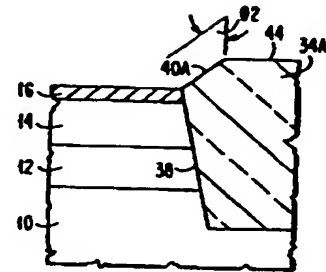


FIG. 1G

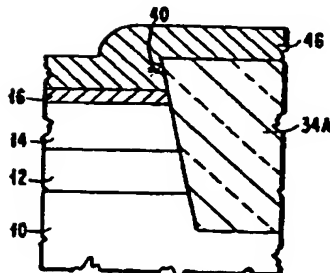


FIG. 2A

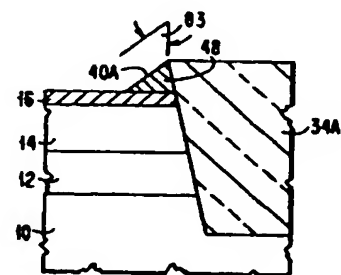


FIG. 2B

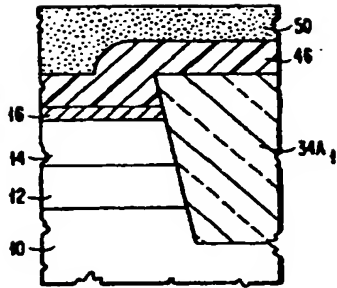


FIG. 3A

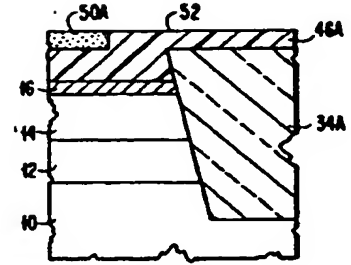


FIG. 3B

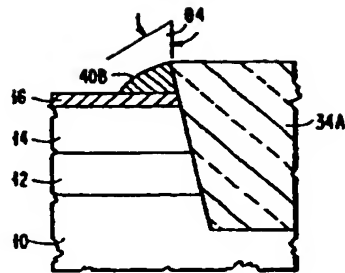


FIG. 3C

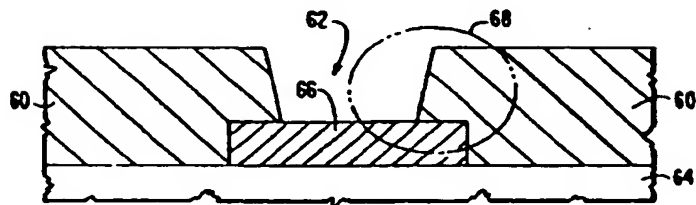


FIG. 4A

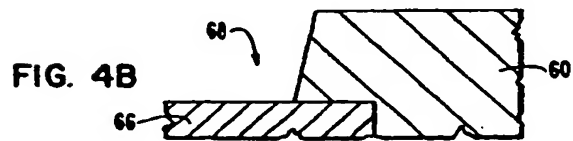


FIG. 4B

FIG. 4C

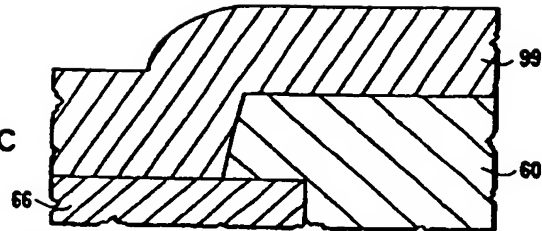


FIG. 4D

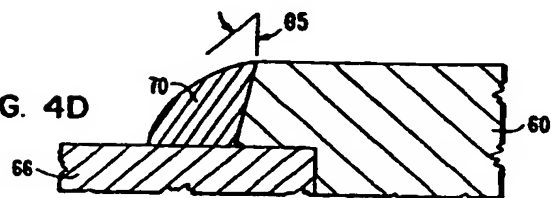


FIG. 5A

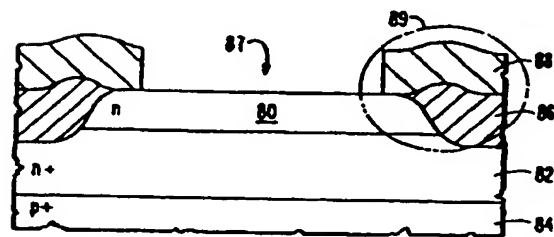


FIG. 5B

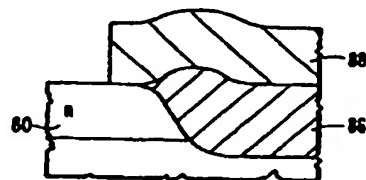


FIG. 5C

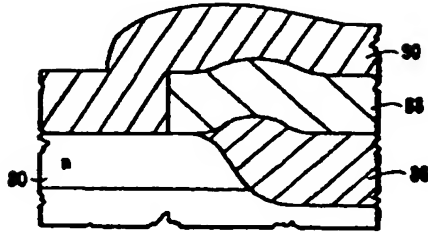


FIG. 5D

